

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2002年10月30日

出願番号 Application Number: 特願2002-316363

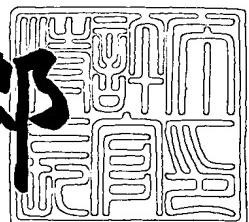
[ST. 10/C]: [JP2002-316363]

出願人 Applicant(s): 株式会社半導体エネルギー研究所

2003年 7月 8日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



【書類名】 特許願
【整理番号】 P006701
【提出日】 平成14年10月30日
【あて先】 特許庁長官 殿
【発明者】
【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
【氏名】 納 光明

【特許出願人】
【識別番号】 000153878
【氏名又は名称】 株式会社半導体エネルギー研究所
【代表者】 山崎 舜平

【先の出願に基づく優先権主張】

【出願番号】 特願2002-278724
【出願日】 平成14年 9月25日

【手数料の表示】

【予納台帳番号】 002543
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロックドインバータ、NAND、NOR及びシフトレジスタ

【特許請求の範囲】

【請求項 1】

直列に接続された第1及び第2トランジスタを有するクロックドインバータにおいて、

直列に接続された第3及び第4トランジスタを有する補償回路を具備し、

前記第3トランジスタのゲート及び前記第4トランジスタのゲートは互いに接続され、

前記第3トランジスタのドレイン及び前記第4トランジスタのドレインは、前記第1トランジスタのゲートに接続され、

前記第1及び前記第4トランジスタのソースは電気的に第1の電源に接続され、

前記第2トランジスタのソースは電気的に第2の電源に接続され、

前記第3トランジスタのソースに入力される信号の振幅は電源電圧の幅よりも小さいことを特徴とするクロックドインバータ。

【請求項 2】

請求項1において、前記第1の電源は高電位電源であり、前記第2の電源は低電位電源であり、前記第1及び前記第4トランジスタはP型トランジスタであり、前記第2及び前記第3トランジスタはN型トランジスタであることを特徴とするクロックドインバータ。

【請求項 3】

請求項1において、前記第1の電源は低電位電源であり、前記第2の電源は高電位電源であり、前記第1及び前記第4トランジスタはN型トランジスタであり、前記第2及び前記第3トランジスタはP型トランジスタであることを特徴とするクロックドインバータ。

【請求項 4】

請求項1において、前記第3トランジスタをアナログスイッチに置換することを特徴とするクロックドインバータ。

【請求項5】

直列に接続された第1乃至第3トランジスタを有するクロックドインバータにおいて、

直列に接続された第4及び第5トランジスタを有する補償回路を具備し、

前記第4トランジスタのゲート及び前記第5トランジスタのゲートは互いに接続され、

前記第4トランジスタのドレイン及び前記第5トランジスタのドレインは、前記第1トランジスタのゲートに接続され、

前記第1及び前記第5トランジスタのソースは電気的に第1の電源に接続され、

前記第3トランジスタのソースは電気的に第2の電源に接続され、

前記第4トランジスタのソースに入力される信号の振幅は電源電圧の幅よりも小さいことを特徴とするクロックドインバータ。

【請求項6】

請求項5において、前記第1の電源は高電位電源であり、前記第2の電源は低電位電源であり、前記第1及び前記第5トランジスタはP型トランジスタであり、前記第2乃至前記第4トランジスタはN型トランジスタであることを特徴とするクロックドインバータ。

【請求項7】

請求項5において、前記第1の電源は高電位電源であり、前記第2の電源は低電位電源であり、

前記第1、前記第2及び前記第5トランジスタはP型トランジスタであり、前記第3及び前記第4トランジスタはN型トランジスタであることを特徴とするクロックドインバータ。

【請求項8】

請求項5において、前記第1の電源は低電位電源であり、前記第2の電源は高電位電源であり、

前記第1及び前記第5トランジスタはN型トランジスタであり、前記第2乃至前記第4トランジスタはP型トランジスタであることを特徴とするクロックドイ

ンバータ。

【請求項9】

請求項5において、前記第1の電源は低電位電源であり、前記第2の電源は高電位電源であり、

前記第1、前記第2及び前記第5トランジスタはN型トランジスタであり、前記第3及び前記第4トランジスタはP型トランジスタであることを特徴とするクロックドインバータ。

【請求項10】

請求項5において、前記第4トランジスタをアナログスイッチに置換することを特徴とするクロックドインバータ。

【請求項11】

並列に接続された第1及び第2トランジスタ、並びに前記第1及び前記第2トランジスタと直列に接続された第3トランジスタを有するNANDにおいて、

直列に接続された第4及び第5トランジスタを有する補償回路を具備し、

前記第3トランジスタのゲート及び前記第4トランジスタのゲートは互いに接続され、

前記第3トランジスタのドレイン及び前記第4トランジスタのドレインは、前記第3トランジスタのゲートに接続され、

前記第1及び前記第2トランジスタのソースは電気的に高電位電源に接続され、

前記第3及び前記第5トランジスタのソースは電気的に低電位電源に接続され、

前記第1、前記第2、前記第4及び前記第5トランジスタのゲート並びに前記第4トランジスタのソースに入力される信号の振幅は電源電圧の幅よりも小さいことを特徴とするNAND。

【請求項12】

請求項11において、前記第1、前記第2及び前記第4トランジスタはP型トランジスタであり、前記第3及び前記第5トランジスタはN型トランジスタであることを特徴とするNAND。

【請求項13】

請求項11において、前記第4トランジスタをアナログスイッチに置換することを特徴とするNAND。

【請求項14】

並列に接続された第1及び第2トランジスタ、並びに前記第1及び前記第2トランジスタと直列に接続された第3トランジスタを有するNORにおいて、

直列に接続された第4及び第5トランジスタで構成される補償回路を有し、前記第3トランジスタのゲート及び前記第4トランジスタのゲートは互いに接続され、

前記第3トランジスタのドレイン及び前記第4トランジスタのドレインは、前記第3トランジスタのゲートに接続され、

前記第1及び前記第2トランジスタのソースは電気的に低電位電源に接続され、

前記第3及び前記第5トランジスタのソースは電気的に高電位電源に接続され、

前記第1、前記第2、前記第4及び前記第5トランジスタのゲート並びに前記第4トランジスタのソースに入力される信号の振幅は電源電圧の幅よりも小さいことを特徴とするNOR。

【請求項15】

請求項14において、前記第1、前記第2及び前記第4トランジスタはN型トランジスタであり、前記第3及び前記第5トランジスタはP型トランジスタであることを特徴とするNOR。

【請求項16】

請求項14において、前記第4トランジスタをアナログスイッチに置換することを特徴とするNOR。

【請求項17】

直列に接続された第1乃至第3トランジスタを有するクロックドインバータと、直列に接続された第4及び第5トランジスタを有する補償回路を具備するシフトレジスタであって、

前記第1及び前記第5トランジスタのソースは電気的に第1の電源に接続され

前記第3トランジスタのソースは電気的に第2の電源に接続され、

前記第1トランジスタのゲートは前記補償回路の出力端子に接続され、

第n段に配置された前記補償回路の入力端子には第(n-1)段で発生したパルスが入力され、

第n段に配置された前記第4トランジスタのソースには第(n-2)段で発生したパルス又はクロック信号が入力されることを特徴とするシフトレジスタ。

【請求項18】

請求項17において、

前記第1の電源は低電位電源であり、前記第2の電源は高電位電源であり、

前記第1及び前記第5トランジスタはN型トランジスタであり、前記第2乃至前記第4トランジスタはP型トランジスタであることを特徴とするシフトレジスタ。

【請求項19】

請求項17において、

前記第1の電源は高電位電源であり、前記第2の電源は低電位電源であり、

前記第1及び前記第5トランジスタはP型トランジスタであり、前記第2乃至前記第4トランジスタはN型トランジスタであることを特徴とするシフトレジスタ。

【請求項20】

請求項17において、前記第4トランジスタをアナログスイッチに置換することを特徴とするシフトレジスタ。

【請求項21】

請求項17において、前記第2トランジスタを削除することを特徴とするシフトレジスタ。

【請求項22】

直列に接続された第1及び第2トランジスタを備えた第1クロックドインバータと、前記第1クロックドインバータとループを構成するインバータと、N型ト

ランジスタ及びアナログスイッチを備えた補償回路とを有する段が複数設けられたシフトレジスタにおいて、

前記第1トランジスタはP型トランジスタであり、前記第2トランジスタはN型トランジスタであり、

前記第1トランジスタのゲートは前記インバータの出力端子に接続され、ソースは電気的に高電位電源に接続され、

前記第2トランジスタのゲートには、前記N型トランジスタのドレイン及び前記アナログスイッチを介してクロック信号線に接続され、ソースは低電位電源に接続され、

前記アナログスイッチは、前記インバータの入力及び出力により制御されることを特徴とするシフトレジスタ。

【請求項23】

直列に接続された第1及び第2トランジスタを備えた第1クロックドインバータと、前記第1クロックドインバータとループを構成するインバータと、P型トランジスタ及びアナログスイッチを備えた補償回路とを有する段が複数設けられたシフトレジスタにおいて、

前記第1トランジスタはN型トランジスタであり、前記第2トランジスタはP型トランジスタであり、

前記第1トランジスタのゲートは前記インバータの出力端子に接続され、ソースは電気的に低電位電源に接続され、

前記第2トランジスタのゲートは前記P型トランジスタのドレイン及び前記アナログスイッチを介してクロック信号線に接続され、ソースは高電位電源に接続され、

前記アナログスイッチは、前記インバータの入力及び出力により制御されることを特徴とするシフトレジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、クロックドインバータに係る技術分野に関する。またクロックドイ

ンバータを単位回路として構成したシフトレジスタに係る技術分野に関する。さらに、NAND、NORなどの電気回路に係る技術分野に属する。

【0002】

【従来の技術】

近年、液晶表示装置や発光装置などの表示装置は、携帯機器向けの需要の増加から、活発に開発が進められている。特に絶縁体上に多結晶半導体（ポリシリコン）により形成されたトランジスタを用いて、画素及び駆動回路（以下内部回路と表記）を一体形成する技術は、小型化及び低消費電力化に大きく貢献するため、活発に開発が進められている。絶縁体上に形成された内部回路は、FPC等を介してコントローラIC等（以下外部回路と表記）と接続され、その動作が制御される。

【0003】

内部回路の電源電位は通常10V程度であり、一方、外部回路を構成するICは、内部回路よりも低い電源電位で動作するため、通常3V程度の振幅の信号を作成する。この3V程度の振幅の信号を用いて内部回路を正確に動作させるために、各段にレベルシフト部を配置した構成のシフトレジスタがある（例えば、特許文献1参考）。

【0004】

【特許文献1】 特開2000-339985号公報（第3-6頁参照）

【0005】

図11（A）はクロックドインバータの回路図、図11（B）はクロックドインバータのロジックシンボル、図11（C）はNANDの回路図、図11（D）はNORの回路図を示す。

【0006】

【発明が解決しようとする課題】

内部回路でレベルシフトしようとすると、駆動回路の占有面積の増大、波形の遅延や鈍りから周波数特性の低下等の問題を生じる。更に、特許文献1のように、電流駆動型のレベルシフタを使用すると、TFT特性の隣接間バラツキを抑制する必要がある。また、外部回路にレベルシフタを配置すると、IC等の部品数の

増加から筐体の大型化、作製費用の増加、レベルシフトによる消費電力の増加等の問題が発生する。従って、3V程度の振幅の信号をレベルシフトせずに用いることが好ましい。

【0007】

よって、本発明は、上述の実情を鑑み、外部回路にレベルシフタを配置せずに上記シフトレジスタを提供することで、筐体の小型化、作製費用の削減、消費電力の削減を実現することを課題とする。さらに内部回路にレベルシフタを配置せずに上記シフトレジスタを提供することで、CKの波形の遅延や鈍りの問題、内部回路に配置された電源線の電圧降下の問題を解決し、内部回路における駆動回路の占有面積の小型化、消費電力の削減、高周波数動作を実現することを課題とする。

【0008】

また、TFTは、作製工程や使用する基板の相違によって生じるゲート長及びゲート幅並びにゲート絶縁膜の膜厚バラツキ等に起因して、そのしきい値電圧にバラツキが生じ、想定していた値と異なる場合がある。この場合、「1」と「0」の2つの論理レベルを扱うデジタル回路では、3V程度の小さい振幅の信号を用いると、しきい値バラツキの影響を受けて、正確に動作しない場合が生じる。

【0009】

よって、TFTの特性バラツキによる影響を緩和して、正確に動作を行うクロックドインバータ、シフトレジスタを提供することを課題とする。

【0010】

また、従来のNAND、NORに対して、低入力負荷かつ高出力能力をもつNAND、NORを提供することを課題とする。

【0011】

【課題を解決するための手段】

本発明は、上述の課題を鑑み、下記の手段を講じる。

【0012】

本発明は、直列に接続された第1及び第2トランジスタを有するクロックドインバータにおいて、

直列に接続された第3及び第4トランジスタを有する補償回路を具備し、前記第3トランジスタのゲート及び前記第4トランジスタのゲートは互いに接続され、

前記第3トランジスタのドレイン及び前記第4トランジスタのドレインは、前記第1トランジスタのゲートに接続され、

前記第1及び前記第4トランジスタのソースは電気的に第1の電源に接続され、

前記第2トランジスタのソースは電気的に第2の電源に接続され、

前記第3トランジスタのソースに入力される信号の振幅は電源電圧の幅よりも小さいクロックドインバータを提供する。

【0013】

本発明は、並列に接続された第1及び第2トランジスタ、並びに前記第1及び前記第2トランジスタと直列に接続された第3トランジスタを有するNANDにおいて、

直列に接続された第4及び第5トランジスタを有する補償回路を具備し、

前記第3トランジスタのゲート及び前記第4トランジスタのゲートは互いに接続され、

前記第3トランジスタのドレイン及び前記第4トランジスタのドレインは、前記第3トランジスタのゲートに接続され、

前記第1及び前記第2トランジスタのソースは電気的に高電位電源に接続され、

前記第3及び前記第5トランジスタのソースは電気的に低電位電源に接続され、

前記第1、前記第2、前記第4及び前記第5トランジスタのゲート並びに前記第4トランジスタのソースに入力される信号の振幅は電源電圧の幅よりも小さいNANDを提供する。

【0014】

本発明は、並列に接続された第1及び第2トランジスタ、並びに前記第1及び前記第2トランジスタと直列に接続された第3トランジスタを有するNORにおいて、

て、

直列に接続された第4及び第5トランジスタで構成される補償回路を有し、

前記第3トランジスタのゲート及び前記第4トランジスタのゲートは互いに接続され、

前記第3トランジスタのドレイン及び前記第4トランジスタのドレインは、前記第3トランジスタのゲートに接続され、

前記第1及び前記第2トランジスタのソースは電気的に低電位電源に接続され

、
前記第3及び前記第5トランジスタのソースは電気的に高電位電源に接続され

、
前記第1、前記第2、前記第4及び前記第5トランジスタのゲート並びに前記第4トランジスタのソースに入力される信号の振幅は電源電圧の幅よりも小さいNORを提供する。

【0015】

本発明は、直列に接続された第1乃至第3トランジスタを有するクロックドインバータと、直列に接続された第4及び第5トランジスタを有する補償回路を具備するシフトレジスタであって、

前記第1及び前記第5トランジスタのソースは電気的に第1の電源に接続され

、
前記第3トランジスタのソースは電気的に第2の電源に接続され、

前記第1トランジスタのゲートは前記補償回路の出力端子に接続され、

第n段に配置された前記補償回路の入力端子には第(n-1)段で発生したパルスが入力され、

第n段に配置された前記第4トランジスタのソースには第(n-2)段で発生したパルス又はクロック信号が入力されるシフトレジスタを提供する。

【0016】

上記構成を有する本発明は、TFTのしきい値のバラツキによる影響を緩和して、回路の電源電圧幅より小さい電圧振幅の信号をレベルシフトせずに動作させることができ、高周波動作、低電圧動作が可能なクロックドインバータ、シフトレ

ジスタを提供する。また、低入力負荷かつ高出力能力をもつNAND、NORを提供する。

【0017】

また外部回路にレベルシフタを配置せずに構成することで、筐体の小型化、作製費用の削減、消費電力の削減を実現する。さらに内部回路にレベルシフタを配置せずにシフトレジスタを提供することで、CKの波形の遅延や鈍りの問題、内部回路に配置された電源線の電圧降下の問題を解決し、内部回路における駆動回路の占有面積の小型化、消費電力の削減、高周波数動作を実現する。

【0018】

尚、クロックドインバータとは図11に示すタイプだけでなく、図1(A)の10、図1(C)の10、図2(A)の10、図2(C)の10、図3(A)の10、17、図3(C)の10、17のように、図11(A)のクロックドインバータを変形した、直接クロック信号が入力されないタイプも含むものとする。

【0019】

【発明の実施の形態】

(実施の形態1)

本発明の実施の形態について、図1を用いて説明する。ここでは、一例として、CKのHレベルの信号は5V、Lレベルの信号は2V、VDDは7V、VSSは0Vとする。つまり、CKの振幅は3V、電源電圧幅は7Vとする。

【0020】

本発明の第1の構成について、図1(A)を用いて説明する。図1(A)には、第n段に配置されたシフトレジスタの1段分の回路図を示す。1段は直列に接続されたTFT11～13を備えたクロックドインバータ10、直列に接続されたTFT14a及15aを備えた補償回路19a、インバータ16及びクロックドインバータ17から構成される。シフトレジスタは、この1段の回路を縦続接続して構成され、各段でCK及びCKBの信号が交互に入力される。

【0021】

TFT11のゲートにはクロック信号線が接続され、CKが入力される。TFT12のゲートにはスタートパルス又は(n-1)段に配置されたクロックドインバータ

16の出力（図では信号Sと表記）、TFT14a、15aのゲートには信号Sの反転信号（図では信号SBと表記）、TFT14aのソースには（n-2）段に配置されたクロックドインバータ10の出力が入力される。なお図中、（n-2）段に配置されたクロックドインバータ10の出力は、2段前と表記する。

【0022】

本発明では、補償回路19において、互いに接続されたTFT14a及び15aのゲートを入力端子とし、互いに接続されたTFT14a及び15aのドレインを出力端子とする。

【0023】

動作について図1（B）のタイミングチャートに従って説明する。図1（B）ではクロック信号の半周期をTと表記し、ここでは期間T1、T2における動作について説明する。

【0024】

期間T1において、2段前の信号はVSS、信号SはVDD、信号SBはVSS、CKはHレベル（5V）であるので、TFT12はオフ、TFT14aはオン、TFT15aはオフ、TFT13がオフになる。このとき、VDDがインバータ16とクロックドインバータ17によって構成されたループにより保持され、OUTにはVDDが出力される。

【0025】

そして、期間T1から期間T2に移り、2段前の信号がVSSからVDDに変わる。信号SはVDD、信号SBはVSS、CKはLレベル（2V）である。そうすると、TFT12はオフ、TFT14aはオン、TFT15aはオフになる。この場合、TFT13のゲートに入力される信号はVDDに変わり、TFT13はオフからオンに変わる。そうすると、OUTにはVSSが出力される。本発明では、信号がVDDからVSSに変化する動作を立ち下がりとよぶ。

【0026】

次いで、本発明の第2の構成について、図1（C）を用いて説明する。図1（C）には、第n段に配置されたシフトレジスタの1段分の回路図を示す。上記第1の構成との相違点は、直列に接続されたTFT14b及び15bを備えた補償回路19bがTFT11のゲートに接続された点、P型TFT12を削除してN型TFT18

が配置された点、TFT15bのソースには（n-2）段に配置されたクロックドインバータ10の出力が入力される点、TFT18のゲートには信号Sが入力される点、TFT13のゲートにはクロック信号線が接続され、CKが入力される点である。

【0027】

次いで期間T1、T2における動作について、図1（D）のタイミングチャートに従って説明する。但し、第2の構成の動作は、上記の第1の構成の説明に準ずるので、簡単に説明する。

【0028】

期間T1において、OUTにはVSSが出力される。期間T1から期間T2に移り、2段前の信号がVDDからVSSに変わる。そうすると、2段前の信号がTFT11のゲートに入力されて、TFT11はオンになる。一方、TFT18はオフであるので、OUTにはVDDが出力される。本発明では、信号がVSSからVDDに変化する動作を立ち上がりとよぶ。

【0029】

上記の第1の構成を有する本発明は立ち下がりに大変有効であり、また上記の第2の構成を有する本発明は立ち上がりに大変有効であり、以下の（1）の効果を奏する。

（1）図1（A）におけるTFT14a、図1（C）におけるTFT15bのソースに、CKをそのまま入力する場合、その振幅が小さいために、前記TFTが早めにオンしてしまう問題が生じていた。より詳しくは、図1（B）の170、図1（D）の171に示すような波形の信号が生成されてしまう問題が生じていた。リーケ電流が大きいときにはパルスがシフトしなくなる。しかしながら、本発明では2段前の信号を用いることで、前記TFTが早めにオンすることなく、所望のタイミングでオンさせることができる。

【0030】

また上記の第1又は第2の構成を有する本発明は、上記（1）以外にも、以下の（2）（3）の有利な効果を奏する。

（2）通常、クロックドインバータは、直列に接続された2つのN型TFTと、直列に接続された2つのP型TFTの合わせて4つのTFTにより構成される。そして、從

来では、オン電流を稼ぐ関係から、前記直列に接続された2つのTFTのゲート幅(W)は大きく設定されていた。そのため、そのゲートを負荷とするTFTのゲート幅も大きく設定する必要が生じ、結果的に全体として負荷が大きく、高周波動作の妨げとなっていた。しかしながら、本発明は、ダブルゲートのTFT(直列に接続された2つのTFT)をシングルゲートのTFTに変えることができる。例えば、図1(A)の構成では、従来直列に接続された2つのN型TFTの配置が必要であったが、本発明では1つのN型TFT13により構成される。その結果、本発明では、TFTのゲート幅を大きく設定する必要はなく、またTFTのサイズを小さくすることができるため、高集積化が可能となる。さらに、そのゲート(ゲート容量)を負荷とする素子の負担を軽減し、全体としても負荷が小さくなるため、高周波動作が可能となる。

(3) また、直列に接続された同じ導電型の2つのTFTは、その電流能力(パワー)が弱かった。しかし本発明では、ダブルゲートのTFTをシングルゲートのTFTに変えることができるため、構成するTFTの電流能力を強くすることができる。例えば、図1(A)の構成ではN型TFT13、図1(C)の構成ではP型TFT11の電流能力を強くすることができる。

【0031】

上述の通り図1の構成は立ち下がり、立ち上がりに大変有効である。しかしながら図1(A)(B)において、期間T3に移るとSがVSS、SBがVDD、CKがHレベルになり、TFT12がオン、TFT13がオフ、TFT11がそのしきい値によりオン又はオフする。仮にTFT11のしきい値が所望の値よりも低いとすると、TFT11がオンしてしまい、シフトレジスタが正確な動作を行わない場合がある。

【0032】

そこで、期間T3においてOUTがVSSの保持に有効である構成を本発明の第3の構成として提案する。

【0033】

本発明の第3の構成について、図2(A)を用いて説明する。図2(A)には、第n段に配置されたシフトレジスタの1段分の回路図を示す。1段は直列に接続されたTFT11及13を備えたクロックドインバータ10、直列に接続されたT

FT14a 及 15a を備えた補償回路 19a、TFT14b 及 15b を備えた補償回路 19b、インバータ 16、TFT22～25 を備えたクロックドインバータ 17 から構成される。シフトレジスタは、この 1 段の回路を継続接続して構成され、各段で CK 及び CKB が交互に入力される。図 2 (A) の構成と上記図 1 (A) の構成の相違点は、TFT12 が削除され、TFT11 のゲートに補償回路 19b の出力、補償回路 19b の入力に SB、TFT14b のソースに VDD、TFT15b のソースに CK がそれぞれ接続され、TFT24 及び TFT25 の電流能力が高くなるようチャネル幅が大きく設定されている点である。

【0034】

期間 T1、T2 における図 2 (A) の構成の動作について、図 2 (B) のタイミングチャートに従って説明する。

【0035】

期間 T1 では、2 段前の信号は VDD、信号 SB は VSS、クロック信号 CK は L レベルであるので、TFT14a はオン、TFT15a はオフ、TFT13 はオン、TFT14b はオン、TFT15b はオフ、TFT11 はオフする。したがって、OUT には VSS が出力される。

【0036】

次いで、期間 T2 において、2 段前の信号は VDD、信号 SB は VDD、クロック信号 CK は H レベルであるので、TFT13 はオフ、TFT11 はオン又はオフする。このとき、OUT の VSS がインバータ 16 とクロックドインバータ 17 によって構成されたループにより保持され、OUT には VSS が出力され続ける。なお本発明では、期間 T2 における動作を保持とよぶ。本構成は、保持に大変有効であり、以下には、期間 T2 における保持の動作について、より詳しく説明する。

【0037】

期間 T2 において、信号 SB は VDD (7V) である。TFT15b は、信号 SB が VDD (7V)、CK が H レベル (5V) の条件下では、その VGS は 2V となる。

【0038】

このとき、TFT15b のしきい値電圧 ($|VTH|$) が 2V 以下であれば、TFT15b はオンして、CK (H レベル、5V) が TFT11 のゲートに入力される。TFT11

は、そのしきい値電圧に従って、オン又はオフが決定される。

仮にTFT11がオンすると、OUTからVDDを出力しようとする。しかしVSSを保持するクロックドインバータ17のTFT24及びTFT25の電流能力が高くなるように設定されているため、結果的にはVSSが出力され、論理的に正確な動作を行う。これは、図2（B）のタイミングチャート中の波形172に示すように、OUTから出力される信号が正確に保持されず、所望のタイミングよりも早めにVSSからVDDに切り替わってしまうことを防ぐ。

【0039】

また、上記のように正確な動作を行ったとしても、オフしたいP型TFT11がオンしているため、VDD-VSS間にリーク電流が流れてしまい、消費電流が増加するという問題が生じる。このような場合には、図2（A）に図示するように、TFT14b及び15bのゲートにインバータ20、21を接続させるとよい。そうすると、図2（B）の波形174に示すように信号SBを遅延させることができるので、TFT15bがオンするタイミングを遅延させ、結果的にリーク電流が流れるタイミングを遅延させることができる。なお接続するインバータの個数は論理が異なる限り特に限定されないが、遅延の度合いはCKの半周期以下に設定する。

【0040】

一方、TFT11又はTFT15bのしきい値電圧（|VTH|）が2V以上であれば、TFT15bはオンせずに、リーク電流は発生しない。リーク電流の発生を防ぐことが出来れば、消費電流が増加することはない。また、OUTに出力される信号の波形が所望のタイミングより早く立ち上がる事が無く、安定した波形の信号を生成する。

【0041】

また、図1（C）（D）の期間T3においても、N型TFT15bのしきい値が所望の値よりも低く、オンしてしまい、OUTのVDDを保持できず、シフトレジスタが正確な動作を行わない場合がある。

【0042】

そこで、期間T3においてOUTのVDDの保持に有効である構成を本発明の第4の

構成として提案する。

【0043】

本発明の第4の構成について、図2（C）を用いて説明する。図2（C）には、第n段に配置されたシフトレジスタの1段分の回路図を示す。上記第2の構成との相違点は、TFT18が削除され、TFT13のゲートに補償回路19aの出力、補償回路19aの入力にSB、TFT14aのソースにCK、TFT15aのソースにVSSがそれぞれ接続され、TFT22及びTFT23の電流能力が高くなるようチャネル幅が大きく設定されている点である。

【0044】

また、期間T1、T2における動作について図2（D）のタイミングチャートに従って説明する。但し、図2（C）の構成の動作は、上述した図2（A）の構成の動作の説明に準ずるので、簡単に説明する。

【0045】

期間T1では、2段前の信号はVSS、信号SBはVDD、クロック信号CKはHレベルであるので、TFT14bはオフ、TFT15bはオン、TFT11はオンする。OUTにはVDDが出力される。

【0046】

次いで、期間T2において、2段前の信号はVSS、信号SBはVSS、クロック信号CKはLレベルであるので、TFT11はオフ、TFT13はオン又はオフする。このとき、OUTのVDDがインバータ16とクロックドインバータ17によって構成されたループにより保持され、OUTにはVDDが出力され続ける。本構成は、保持に大変有効であり、以下には期間T2における動作について、より詳しく説明する。

【0047】

期間T2において、信号SBはVSS（0V）である。またTFT14aは、信号SBがVSS（0V）、CKがLレベル（2V）の条件下では、そのVGSは|2V|となる。

【0048】

このとき、TFT14aのしきい値電圧（|VTH|）が2V以下であれば、TFT14aはオンして、CK（Lレベル、2V）がTFT13のゲートに入力される。TFT13は、そのしきい値電圧に従って、オン又はオフが決定される。

仮にTFT13がオンすると、OUTからVSSを出力しようとする。しかし、VDDを保持するクロックドインバータ17のTFT22及びTFT23の電流能力が高くなるように設定されているため、結果的には論理的に正確な動作を行う。これは、図2(D)のタイミングチャート中の波形173に示すように、OUTから出力される信号が正確に保持されず、所望のタイミングよりも早めにVDDからVSSに切り替わってしまうことを防ぐ。

【0049】

また、上記のように正確な動作を行ったとしても、オフにしたいN型TFT13がオンしているため、VDD-VSS間にリーク電流が流れてしまい、消費電流が増加するという問題が生じる。このような場合には、図2(C)に図示するように、TFT14a及び15aのゲートにインバータ20、21を接続させるとよい。そうすると、図2(D)の波形175に示すように信号SBを遅延させることができるため、P型TFT14aがオンするタイミングを遅延させ、結果的にリーク電流が流れれるタイミングを遅延させることができる。なお接続するインバータの個数は論理が異ならない限り特に限定されないが、遅延の度合いはCKの半周期以下に設定する。

【0050】

一方、TFT13又はTFT14aのしきい値電圧(|VTH|)が2V以上であれば、TFT13はオンせずに、リーク電流は発生しない。リーク電流の発生を防ぐことが出来れば、消費電流が増加することはない。また、OUTに出力される信号の波形が所望のタイミングより早くオンすることが無く、安定した波形の信号を生成する。

【0051】

以上をまとめると、上記第3又は第4の構成を有する本発明は、保持に大変有効であり、以下の(4)(5)の効果を奏する。

(4) 図2(A)の構成ではTFT15b、図2(C)の構成ではTFT14aのしきい値電圧(|VTH|)が所望の値(2V)以下の場合には、補償回路19a又は19bの入力端子に複数のインバータを接続させるとよい。そうすると、前記TFTのしきい値電圧が所望の値以下であっても、リーク電流が発生するタイミングを

遅延させることができる。

(5) また、従来では、オフにしたいTFTがオンしてしまうためにVDD-VSS間にリーケ電流が流れ、消費電流が増加する問題が生じていた。例えば、図2 (A) の構成ではP型TFT 1 1、図2 (C) の構成ではN型TFT 1 3を本来はオフにしたいが、オフになっていた。しかし、本発明では、図2 (A) の構成ではTFT 1 1又はTFT 1 5 b、図2 (C) の構成ではTFT 1 3又はTFT 1 4 aのしきい値電圧 ($|V_{TH}|$) が所望の値 (2 V) 以上の場合ならば、リーケ電流の発生を抑制することができる。

【0052】

また、上記第3又は第4の構成を有する本発明は、第1及び第2の構成と同様に、上記の(2)、(3)の有利な効果を奏する。

【0053】

しかしながら、図2 (A) (B)において、例えTFT 1 1がオンしても論理的に正しい動作を行うために、保持用のクロックドインバータ内TFT 2 4、2 5の電流能力を高くなるよう設定してある。そのため期間T 2から期間T 3に移り、CKがLレベルに変わってもOUTがVDDまで変化できずに、結果的にシフトレジスタが正確な動作を行わない場合がある。

そこで、保持期間においてもOUTの安定した波形を得、かつ期間T 2からT 3への立ち上がりに有効な構成を本発明の第5の構成として提案する。

【0054】

本発明の第5の構成について、図3 (A)を用いて説明する。図3 (A)には、第n段に配置されたシフトレジスタの1段分の回路図を示す。1段は直列に接続されたTFT 1 1及び1 3を備えたクロックドインバータ1 0、TFT 1 4 a及1 5 aを備えた補償回路1 9 a、TFT 1 4 b及び1 5 bを備えた補償回路1 9 b、インバータ1 6、直列に接続されたTFT 2 2～2 4を備えたクロックドインバータ1 7、N型TFT 3 4とアナログスイッチ3 5を備えた補償回路1 9 cから構成される。シフトレジスタは、この1段の回路を縦続接続して構成され、各段でCK及びCKBが交互に入力される。図2 (A)との相違点は保持用クロックドインバータ1 7内のTFT 2 5を削除し、TFT 2 4のゲートに補償回路1 9 cの出力が接続

されている点、補償回路19cのTFT34のゲート及びアナログスイッチ35のP型TFT側のゲートの入力にはインバータ16の出力の反転信号、つまりOUTが接続されている点、アナログスイッチ35のN型TFT側のゲートの入力にはインバータ16の出力が接続されている点、TFT34のソースにはVSSが接続されている点、アナログスイッチ35のソースにはCKが接続されている点である。

【0055】

TFT22のゲートにはクロックバー信号線が接続され、CKBが入力される。TFT23のゲートにはインバータ16の出力が入力される。また、TFT24の電流能力は大きくなるよう設定されている。より詳しくは、TFT24のW₂₄（ゲート幅）/L（ゲート長）とTFT11のW₁₁/Lは、W₂₄/L : W₁₁/L = x : y とすると、y = 1、x ≥ 0.5に設定される。

【0056】

期間T1～T3における動作について図3（B）のタイミングチャートに従つて説明する。期間T1において、クロックドインバータ10からはVSSが出力される。

【0057】

次いで、期間T2における動作について説明する。クロックドインバータ17において、TFT22のゲートにはCKB（Lレベル、2V）が入力され、オンになる。TFT23のゲートには、OUTの反転信号（VDD）が入力されてオフになる。TFT34のゲートにはOUT（VSS）が入力されてオフになる。TFT24のゲートにはアナログスイッチ35を介してCK（Hレベル、5V）が入力されてオンになる。このとき、TFT23がオフし、TFT24がオンしているためVSSが出力される。

【0058】

また、クロックドインバータ10において、TFT11は、オン又はオフである。仮に、TFT11がオンであったとしてもTFT24の電流能力は高いため、期間T2では、安定してVSSが出力される。

【0059】

そして、期間T2からT3に移るにあたり、クロックドインバータ10の出力は、正確にVSSからVDDに切り替わることが望ましい。しかし、N型TFT24の電流

能力が高いため、図3（B）のタイミングチャート中の波形176に示すように、VSSからVDDへの切り替わりができず、シフトレジスタが正確な動作をおこなわない場合が生ずる。しかし、本発明では、上記のようなことが生じないように、以下の手段を講じる。

【0060】

クロックドインバータ10では、期間T2からT3に移るにあたり、その出力をVSS（0V）からVDD（7V）に切り替えようとする。しかし、クロックドインバータ17が有するN型TFT24の電流能力が大きいために、TFT11にかかる|VGS|が2Vから5Vに変わり、VDDをOUTに出力しようとするが、0Vから7Vまであげられない場合がある。そうすると、インバータ16の出力も0Vにならないため、保持用のクロックドインバータ17には7Vが入り続け、TFT23とTFT24のオン、オフが入れ替わらずに、OUTにはVSS（0V）が出力され続け、シフトレジスタが正確な動作を行わない。

【0061】

しかし、本発明では、クロックドインバータ10の出力がVSS（0V）からVDD（7V）まで変わらなくても、TFT11にかかるVGSが2Vから5Vに変わる瞬間、OUTの出力がTFT34のしきい値以上変化すれば、TFT34がオンし、TFT24を強制的にオフすることができる。そうすると、TFT11はTFT24の影響を受けることなく、OUTの出力をVDDまであげることができる。なおかつ、OUTの立ち上がりは所望のタイミングで行われる。更にこのとき、TFT35をアナログスイッチに置換することで、CKのLレベルがTFT24のゲートに入力される。TFT24のしきい値が2V以上であればオフし、仮に、しきい値が2V以下でオンしても、|VGS|が5Vから2Vになるので、保持する力が弱まり、OUTの出力が変化しやすくなる。

また、TFT24の電流能力はしきい値にも起因するため、N型TFTのしきい値が低く、TFT24の電流能力が高いほど、同極性のTFT34のしきい値も低いと考えられ、OUTの変化が少なくともオンする。反対にTFT34のしきい値が高くても、その場合にはTFT24のしきい値も高く、保持する能力は弱いので、問題なく動作する。

【0062】

以上をまとめると、上記第5の構成を有する本発明は保持と立ち上がりに大変有効であり、以下の（6）（7）の効果を奏する。

（6）本発明では、クロックドインバータ17が有するN型TFT24の電流能力を大きく設定する。インバータ16とクロックドインバータ17で構成するループでVSSを保持する場合、TFT24の電流能力が大きいため、安定してVSSを出力することができる。

（7）また、クロックドインバータ10の出力がVSSからVDDに変わったときに、クロックドインバータ17が有するN型TFT24の電流能力が大きいため、立ち上ががらず、正確な動作を行わない場合が生じる。しかし、この立ち上がりのタイミングは、クロックドインバータ10が有するP型TFT11により決定され、TFT11のVGSが変わる瞬間、OUTの出力が変化すると、N型TFT34はそのしきい値を超えたところでオンする。そうすると、OUTの出力は正確に立ち上げることができる。

【0063】

また、図2（C）（D）においても同様に、期間T2から期間T3に移り、CKがHレベルに変わってもOUTがVSSまで変化できずに、結果的にシフトレジスタが正確な動作を行わない場合がある。

そこで、保持期間においてもOUTの安定した波形を得、かつ期間T2からT3への立ち下がりに有効な構成を本発明の第6の構成として提案する。

【0064】

続いて、本発明の第6の構成について、図3（C）を用いて説明する。図3（C）には、第n段に配置されたシフトレジスタの1段分の回路図を示す。1段は直列に接続されたTFT11及び13を備えたクロックドインバータ10、TFT14a及び15aを備えた補償回路19a、TFT14b及び15bを備えた補償回路19b、インバータ16、直列に接続されたTFT23～25を備えたクロックドインバータ17、P型TFT37とアナログスイッチ35を備えた補償回路19dから構成される。シフトレジスタは、この1段の回路を縦続接続して構成され、各段でCK及びCKBが交互に入力される。図2（C）との相違点は保持用クロック

クロックドインバータ17内のTFT22を削除し、TFT23のゲートに補償回路19dの出力が、補償回路19dのP型TFT37及びアナログスイッチ35のN型TFT側のゲートの入力にはインバータ16の出力の反転信号、つまりOUTが接続されている点、アナログスイッチ35のP型TFT側のゲートにはインバータ16の出力が接続されている点、TFT37のソースにはVDDが接続されている点、アナログスイッチ35のソースにはCKが接続されている点である。

【0065】

TFT25のゲートにはクロック信号線が接続され、CKが入力される。TFT37のゲートにはクロックドインバータ10の出力(OUT)が入力される。また、TFT23の電流能力は大きくなるよう設定されている。より詳しくは、TFT23のW₂₃(ゲート幅)/L(ゲート長)とTFT13のW₁₃/Lは、W₂₃/L : W₁₃/L = x : yとすると、y = 1、x ≥ 1に設定される。

【0066】

期間T1～T3における動作について図3(D)のタイミングチャートに従つて説明する。期間T1において、クロックドインバータ10からはVDDが出力される。

【0067】

次いで、期間T2における動作について説明する。クロックドインバータ17において、TFT25のゲートにはCKB(Hレベル、5V)が入力され、オンになる。TFT24のゲートには、OUTの反転信号(VSS)が入力されてオフになる。TFT37のゲートにはOUT(VDD)が入力されてオフになる。TFT23のゲートにはアナログスイッチ35を介してCK(Lレベル、2V)が入力されてオンになる。このとき、TFT24がオフし、TFT23がオンしているためVDDが出力される。

【0068】

また、クロックドインバータ10において、TFT13は、オン又はオフである。仮に、TFT13がオンであったとしてもTFT23の電流能力は高いため、期間T2では、安定してVDDが出力される。

【0069】

そして、期間T2からT3に移るにあたり、クロックドインバータ10の出力

は、正確にVDDからVSSに切り替わることが望ましい。しかし、P型TFT23の電流能力が高いため、図3（D）のタイミングチャート中の波形177に示すように、VDDからVSSへの切り替わりができず、シフトレジスタが正確な動作をおこなわない場合が生ずる。しかし、本発明では、上記のようなことが生じないように、以下の手段を講じる。

【0070】

クロックドインバータ10では、期間T2からT3に移るにあたり、その出力をVDD（0V）からVSS（7V）に切り替えようとする。しかし、クロックドインバータ17が有するP型TFT23の電流能力が大きいために、TFT13にかかるVGSが2Vから5Vに変わり、VSSをOUTに出力しようとするが、7Vから0Vまで下げられない場合がある。そうすると、インバータ16の出力も7Vにならなければ、保持用のクロックドインバータ17には0Vが入り続け、TFT23とTFT24のオン、オフが入れ替わらずに、OUTにはVDD（7V）が出力され続け、シフトレジスタが正確な動作を行わない。

【0071】

しかし、本発明では、クロックドインバータ10の出力がVDD（7V）からVSS（0V）まで変わらなくても、TFT13にかかるVGSが2Vから5Vに変わる瞬間に、OUTの出力がTFT37のしきい値以上変化すれば、TFT37がオンし、TFT23を強制的にオフすることができる。そうすると、TFT13はTFT23の影響を受けることなく、OUTの出力をVSSまで下げることができる。なおかつ、OUTの立ち下がりは所望のタイミングで行われる。更にこのとき、TFT35をアナログスイッチに置換することで、CKのHレベルがTFT23のゲートに入力される。TFT23のしきい値が2V以上であればオフし、仮にしきい値が2V以下でオンしても、 $|VGS|$ が5Vから2Vになるので、保持する力が弱まり、OUTの出力が変化しやすくなる。

また、TFT23の電流能力はしきい値にも起因するため、P型TFTのしきい値が低く、TFT23の電流能力が高いほど、同極性のTFT37のしきい値も低いと考えられ、OUTの変化が少なくともオンする。反対にTFT37のしきい値が高くても、その場合にはTFT23のしきい値も高く、保持する能力は弱いので、問題なく動

作する。

【0072】

以上をまとめると、上記第6の構成を有する本発明は保持と立ち下がりに大変有効であり、以下の（8）（9）の効果を奏する。

（8）本発明では、クロックドインバータ17が有するP型TFT23の電流能力を大きく設定する。インバータ16とクロックドインバータ17で構成するループでVDDを保持する場合、TFT23の電流能力が大きいため、安定してVDDを出力することができる。

（9）また、クロックドインバータ10の出力がVDDからVSSに変わったときに、クロックドインバータ17が有するP型TFT23の電流能力が大きいため、立ち下がらず、正確な動作を行わない場合が生じる。しかし、この立ち下がりのタイミングは、クロックドインバータ10が有するN型TFT13により決定され、TFT13のVGSが変わる瞬間、OUTの出力が変化すると、P型TFT23はそのしきい値を超えたところでオンする。そうすると、OUTの出力を正確に立ち下げることができる。

【0073】

（実施の形態2）

図1～3を用いて上述した第1～第6の構成は、自由に組み合わせて用いることができる。ここでは、組み合わせたときの一例について、図6、7を用いて説明する。なお図中、信号Sとはスタートパルス又は（n-1）段に配置されたクロックドインバータ16の出力であり、信号SBは信号Sの反転信号に相当する。また2段前とは、（n-2）段に配置されたクロックドインバータ10の出力に相当する。

【0074】

図6（A）は、第3の構成（図2（A））と第5の構成（図3（A））を組み合わせたときの回路図を示す。図6（A）には、第n段に配置されたシフトレジスタの1段分の回路図を示す。1段は直列に接続されたTFT71～73を備えたクロックドインバータ10、インバータ16、直列に接続されたTFT74、75を備えたクロックドインバータ17、直列に接続されたTFT76及び77、イン

バータ78及び79、TFT80、アナログスイッチ81から構成される。シフトレジスタは、この1段の回路を縦続接続して構成され、各段でCK及びCKBが交互に入力される。

【0075】

図6（B）は、第2の構成（図1（C））、第4の構成（図2（C））と第6の構成（図3（C））を組み合わせたときの回路図を示す。図6（B）には、第n段に配置されたシフトレジスタの1段分の回路図を示す。1段は直列に接続されたTFT91～93を備えたクロックドインバータ10、インバータ16、直列に接続されたTFT94及び95を備えたクロックドインバータ17、直列に接続されたTFT96及び97、直列に接続されたTFT98及び99、インバータ120、121、P型TFT122、アナログスイッチ123から構成される。シフトレジスタは、この1段の回路を縦続接続して構成され、各段でCK及びCKBが交互に入力される。

【0076】

図7（A）は、第4の構成（図2（C））と、第6の構成（図3（C））を組み合わせたときの回路図を示す。図7（A）には、第n段に配置されたシフトレジスタの1段分の回路図を示す。1段は直列に接続されたTFT131～133を備えたクロックドインバータ10、インバータ16、TFT134及び135を備えたクロックドインバータ17、直列に接続されたTFT136及び137、インバータ138、139、P型TFT140、アナログスイッチ141から構成される。シフトレジスタは、この1段の回路を縦続接続して構成され、各段でCK及びCKBが交互に入力される。

【0077】

図7（B）は、第1の構成（図1（A））、第3の構成（図2（A））と第5の構成（図3（A））を組み合わせたときの回路図を示す。図7（B）には、第n段に配置されたシフトレジスタの1段分の回路図を示す。1段は直列に接続されたTFT151～153を備えたクロックドインバータ10、インバータ16、直列に接続されたTFT154及び155を備えたクロックドインバータ17、直列に接続されたTFT156及び157、直列に接続された158及び159、イ

ンバータ160、161、N型TFT162、アナログスイッチ163から構成される。シフトレジスタは、この1段の回路を縦続接続して構成され、各段でCK及びCKBが交互に入力される。

【0078】

なお上述した第1～第6の構成を組み合わせて用いる際には、動作に支障がなければ、必要のないTFTは削除してもよい。実際に、図6（A）、図7（B）の構成では、図3（A）におけるTFT22を削除し、図6（B）、図7（A）の構成では、図3（C）におけるTFT25を削除している。同様に、動作に支障がなければ必要に応じてTFTを追加して配置してもよい。

【0079】

（実施の形態3）

本発明の実施の形態について、図10を用いて説明する。

【0080】

上述した図6（B）の回路図における、平面レイアウト図（上面図）を図10（A）に示す。また、実際に作製したパネルを光学顕微鏡で拡大した写真を図10（B）に示す。

【0081】

図10（A）（B）に図示した符号は図6（B）と対応しているので、詳しい説明は省略する。なお図中、P型TFT16aとN型TFT16bは、インバータ16を構成する。また、P型TFT123aとN型TFT123bはアナログスイッチ123を構成する。

【0082】

図10中、TFT94のWは大きく設定されている。仮に、TFT94と直列に接続させた同じサイズのTFTの配置が必要な場合には、レイアウト面積が拡大してしまう。しかし、本発明では、Wを大きく設定したTFTはTFT94の1つだけを配置すればよいため、レイアウト面積の拡大を抑制することができる。

【0083】

（実施の形態4）

上記とは異なる本発明の実施の形態について、図4、5を用いて説明する。

【0084】

本発明のNANDについて、図4を用いて説明する。図4（A）には、NANDの回路図を示し、並列に接続されたP型TFT 5 1、5 2、N型TFT 5 4、直列に接続されたP型TFT 5 5及びN型TFT 5 6を備えた補償回路19を有する。TFT 5 1のゲートにはVin1、TFT 5 2のゲート及びTFT 5 5のソースにはVin2、TFT 5 5及び5 6のゲートにはVin1の反転信号（ここではVinB1と表記）が入力される。

【0085】

動作について、図4（B）のタイミングチャートに従って説明する。期間T1において、Vin1はHレベル、VinB1はLレベル、Vin2はLレベルであるので、TFT 5 1はオフ、TFT 5 2はオン、TFT 5 5はオン、TFT 5 6はオフする。またTFT 5 5を介して、Vin2（Lレベル）がTFT 5 4に入力され、該TFT 5 4はオフする。そして出力はVDDをとる。期間T2において、Vin1はHレベル、VinB1はLレベル、Vin2はHレベルであるので、TFT 5 1はオフ、TFT 5 2はオフ、TFT 5 5はオン、TFT 5 6はオフする。またTFT 5 5を介して、VinB1（Lレベル）がTFT 5 4に入力され、TFT 5 4はオンする。そして出力はVSSをとる。

【0086】

期間T3において、Vin1はLレベル、VinB1はHレベル、Vin2はHレベルであるので、TFT 5 1はオン、TFT 5 2はオフ、TFT 5 5はオフ、TFT 5 6はオンする。またTFT 5 6を介して、VSSがTFT 5 4に入力され、TFT 5 4はオフする。そして出力はVDDをとる。期間T4において、Vin1はLレベル、VinB1はHレベル、Vin2はLレベルであるので、TFT 5 1はオン、TFT 5 2はオン、TFT 5 5はオフ、TFT 5 6はオンする。またTFT 5 6を介して、VSSがTFT 5 4に入力され、TFT 5 4はオフする。そして出力はVDDをとる。

【0087】

次いで、上記構成において、TFT 5 5の代わりにアナログスイッチ57を配置した場合について、図4（C）に示す。図4（C）の構成は、図4（D）のタイミングチャートに従って動作する。なお図4（C）の構成とその動作の説明は、上述した図4（A）の構成とその動作に準ずるので、ここでは省略する。

【0088】

次いで、本発明のNORについて、図5を用いて説明する。図5（A）には、NORの回路図を示し、並列に接続されたN型TFT 6 1、6 2、P型TFT 6 4、直列に接続されたP型TFT 6 5及びN型TFT 6 6を備えた補償回路19を有する。TFT 6 1のゲートにはVin1、TFT 6 2のゲート及びTFT 6 6のソースにはVin2、TFT 6 5及び6 6のゲートにはVin1の反転信号（ここではVinB1と表記）が入力される。

【0089】

動作について、図5（B）のタイミングチャートに従って説明する。期間T1において、Vin1はLレベル、VinB1はHレベル、Vin2はHレベルであるので、TFT 6 1はオフ、TFT 6 2はオン、TFT 6 5はオフ、TFT 6 6はオンする。またTFT 6 6を介して、Vin2（Hレベル）がTFT 6 4に入力され、該TFT 6 4はオフする。そして出力はVSSをとる。期間T2において、Vin1はLレベル、VinB1はHレベル、Vin2はLレベルであるので、TFT 6 1はオフ、TFT 6 2はオフ、TFT 6 5はオフ、TFT 6 6はオンする。またTFT 6 6を介して、Vin2（Lレベル）がTFT 6 4に入力され、該TFT 6 4はオンする。そして出力はVDDをとる。

【0090】

期間T3において、Vin1はHレベル、VinB1はLレベル、Vin2はLレベルであるので、TFT 6 1はオン、TFT 6 2はオフ、TFT 6 5はオン、TFT 6 6はオフする。またTFT 6 5を介して、VDDがTFT 6 4に入力され、該TFT 6 4はオフする。そして出力はVSSをとる。期間T4において、Vin1はHレベル、VinB1はLレベル、Vin2はHレベルであるので、TFT 6 1はオン、TFT 6 2はオン、TFT 6 5はオン、TFT 6 6はオフする。またTFT 6 5を介して、VDDがTFT 6 4に入力され、該TFT 6 4はオフする。そして出力はVSSをとる。

【0091】

次いで、上記構成において、TFT 6 6の代わりにアナログスイッチ67を配置した場合について、図5（C）を用いて説明する。図5（C）の構成は、図5（D）のタイミングチャートに従って動作する。なお図5（C）の構成とその動作の説明は、上述した図5（A）の構成とその動作に準ずるので、ここでは省略する。

【0092】

上記図4 (A) 又は図4 (C) の構成を有する本発明のNAND、上記図5 (A) 又は図5 (C) の構成を有する本発明のNORは、以下の(10)の有利な効果を奏する。

(10) 通常、NAND、NORは、直列に接続された2つのN型TFTと、直列に接続された2つのP型TFTの合わせて4つのTFTにより構成される。そして、従来では、オン電流を稼ぐ関係から、前記直列に接続された2つのTFTのゲート幅(W)は大きく設定されていた。そのため、そのゲートを負荷とするTFTのゲート幅も大きく設定する必要が生じ、結果的に全体として負荷が大きく、高周波動作の妨げとなっていた。しかしながら、本発明は、ダブルゲートのTFT(直列に接続された2つのTFT)をシングルゲートのTFTに変えることができる。例えば、図4 (A) の構成では、従来直列に接続された2つのN型TFTの配置が必要であったが、本発明では1つのN型TFT 13により構成される。その結果、本発明では、TFTのゲート幅を大きく設定する必要はなく、またTFTのサイズを小さくすることができるため、高集積化が可能となる。さらに、そのゲート(ゲート容量)を負荷とする素子の負担を軽減し、全体としても負荷が小さくなるため、高周波動作が可能となる。

【0093】

図4、5では、NAND、NORについて説明したが、上記以外にも本発明を適用することができる。但し、本発明は、少なくとも2つの信号を用いる回路に適用することが好ましい。

【0094】

(実施の形態5)

本発明の実施の形態について、図8を用いて説明する。

【0095】

図8 (A) は表示装置の外観を示し、該表示装置は、基板107上に(x×y)個の画素101がマトリクス状に配置された画素部102を有する。画素部102の周辺には、信号線駆動回路103、第1の走査線駆動回路104及び第2の走査線駆動回路105を有する。信号線駆動回路103、第1及び第2の走査線駆動回路104、105には、FPC106を介して外部より信号が供給され

る。なお信号線駆動回路103、第1及び第2の走査線駆動回路104、105は、画素部102が形成された基板107の外部に配置してもよい。また図8では、1つの信号線駆動回路と、2つの走査線駆動回路が設けられているが、これらの個数は特に限定されない。これらの個数は、画素101の構成に応じて、任意に設定することが出来る。なお表示装置とは、画素部及び駆動回路を基板とカバー材との間に封入したパネル、前記パネルにIC等を実装したモジュール、ディスプレイなどを範疇に含む。

【0096】

図8（B）は信号線駆動回路103の構成の一例を示し、該信号線駆動回路103はシフトレジスタ111、第1のラッチ回路112、第2のラッチ回路113を有する。図8（C）は、第1の走査線駆動回路104の構成の一例を示し、該第1の走査線駆動回路104はシフトレジスタ114、バッファ115を有する。シフトレジスタ111、114には、図1～3、6、7に示した構成を自由に用いることができる。また第1のラッチ回路112、第2のラッチ回路113及びバッファ115には、図4、5に示した構成、またそれ以外にも本発明を適用した回路を自由に用いることが出来る。

【0097】

本実施の形態は、実施の形態1～4と自由に組み合わせることができる。

【0098】

（実施の形態6）

本発明が適用される電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パソコン、コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDigital Versatile Disc（DVD）等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置）などが挙げられる。それらの電子機器の具体例を図9に示す。

【0099】

図9（A）はディスプレイ（発光装置）であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明は表示部2003の駆動回路に適用することができる。また本発明により、図9（A）に示す発光装置が完成される。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0100】

図9（B）はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。本発明は、表示部2102の駆動回路に適用することができる。また本発明により、図9（B）に示すデジタルスチルカメラが完成される。

【0101】

図9（C）はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポイントティングマウス2206等を含む。本発明は、表示部2203の駆動回路に適用することができる。また本発明により、図9（C）に示すコンピュータが完成される。

【0102】

図9（D）はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明は、表示部2302の駆動回路に適用することができる。また本発明により、図9（D）に示すモバイルコンピュータが完成される。

【0103】

図9（E）は記録媒体を備えた携帯型の画像再生装置（具体的にはDVD再生装置）であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体（DVD等）読み込み部2405、操作キー2406、スピーカー部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示するが、本発明は表示部A、B2403、

2404の駆動回路に適用することができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。また本発明により図9（E）に示す画像表示装置が完成される。

【0104】

図9（F）はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体2501、表示部2502、アーム部2503を含む。本発明は、表示部2502の駆動回路に適用することができる。また本発明により、図9（F）に示すゴーグル型ディスプレイが完成される。

【0105】

図9（G）はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609等を含む。本発明は、表示部2602の駆動回路に適用することができる。また本発明により、図9（G）に示すビデオカメラが完成される。

【0106】

図9（H）は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明は、表示部2703の駆動回路に適用することができる。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。また本発明により、図9（H）に示す携帯電話が完成される。

【0107】

なお、筐体の小型化、内部回路における駆動回路の占有面積の小型化、作製費用の削減、消費電力の削減、高周波動作を実現する本発明は、上記電子機器の全てに優れた相乗効果をもたらすが、携帯端末には特に優れた効果をもたらす。

【0108】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また本実施の形態の電子機器には、実施の形態1～5に示したいずれの構成を用いても良い。

【0109】**【発明の効果】**

第1又は第2の構成を有する本発明は、2段前の信号を用いることで、TFTを所望のタイミングでオンさせることができる。

【0110】

第3又は第4の構成を有する本発明は、補償回路の入力端子に複数のインバータを接続させることで、補償回路が有するTFTのしきい値電圧が所望の値以下であっても、該TFTがオンするタイミングを遅延させ、リーク電流が流れるタイミングを遅延させることができる。また補償回路が有するTFTのしきい値電圧が所望の値以上の場合には、リーク電流の発生を抑制することができる。

【0111】

第5又は第6の構成を有する本発明では、クロックドインバータが有するTFTの電流能力を大きく設定することで、正確に保持を行い、また立ち下がり時又は立ち上がり時に鈍りのない安定した波形の信号を供給することができる。

【0112】

また上記構成を有する本発明は、ダブルゲートのTFT（直列に接続された2つのTFT）をシングルゲートのTFTに変えることができる。その結果、TFTのゲート幅を大きく設定する必要はなく、またTFTのサイズを小さくすることができるため、高集積化が可能となる。さらに、そのゲート（ゲート容量）を負荷とする素子の負担を軽減し、全体としても負荷が小さくなるため、高周波動作が可能となる。また、構成するTFTの電流能力を高くすることができる。さらに、本発明は、TFTのしきい値バラツキにも強く、約3Vの振幅の信号をそのまま直に用いても、低電圧で正確に動作させることができる。

【図面の簡単な説明】

【図1】 シフトレジスタの1段分の回路図。

【図2】 シフトレジスタの1段分の回路図。

【図3】 シフトレジスタの1段分の回路図。

【図4】 NANDの回路図。

【図5】 NORの回路図。

【図6】 シフトレジスタの1段分の回路図。

【図7】 シフトレジスタの1段分の回路図。

【図8】 パネルの図。

【図9】 電子機器の図。

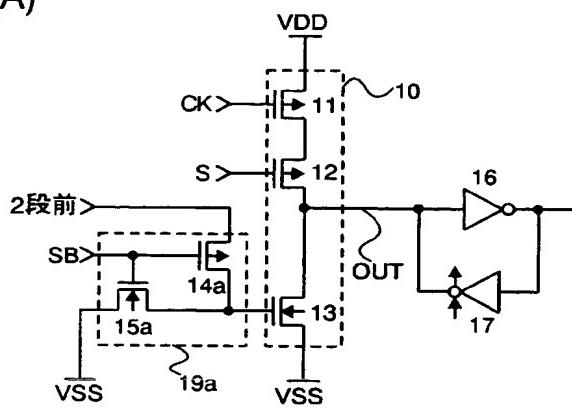
【図10】 マスクレイアウト図及び上面写真。

【図11】 クロックドインバータ、NAND、NORの回路図。

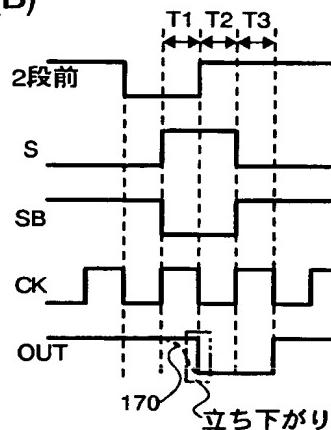
【書類名】 図面

【図 1】

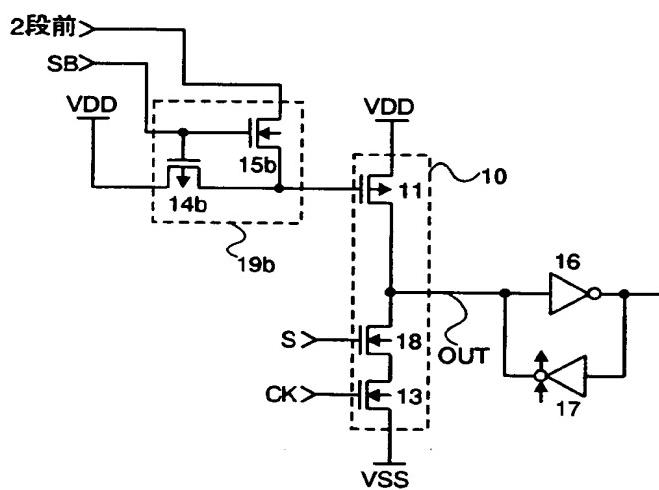
(A)



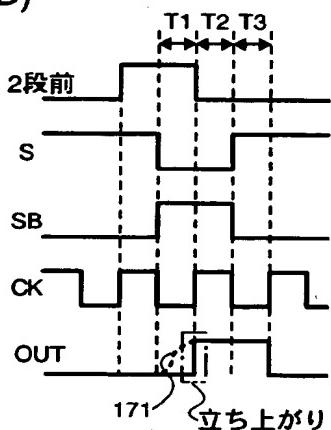
(B)



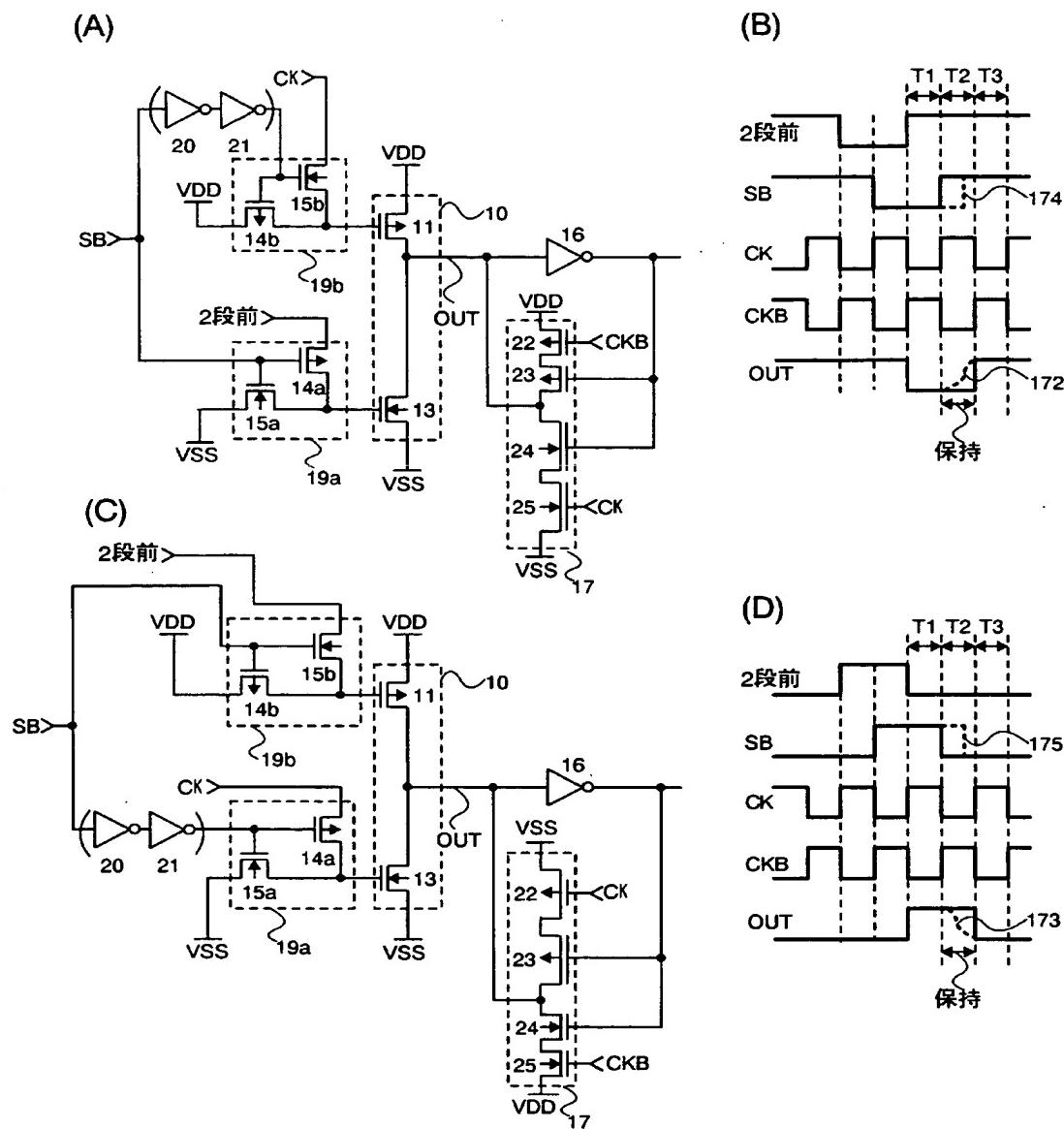
(C)



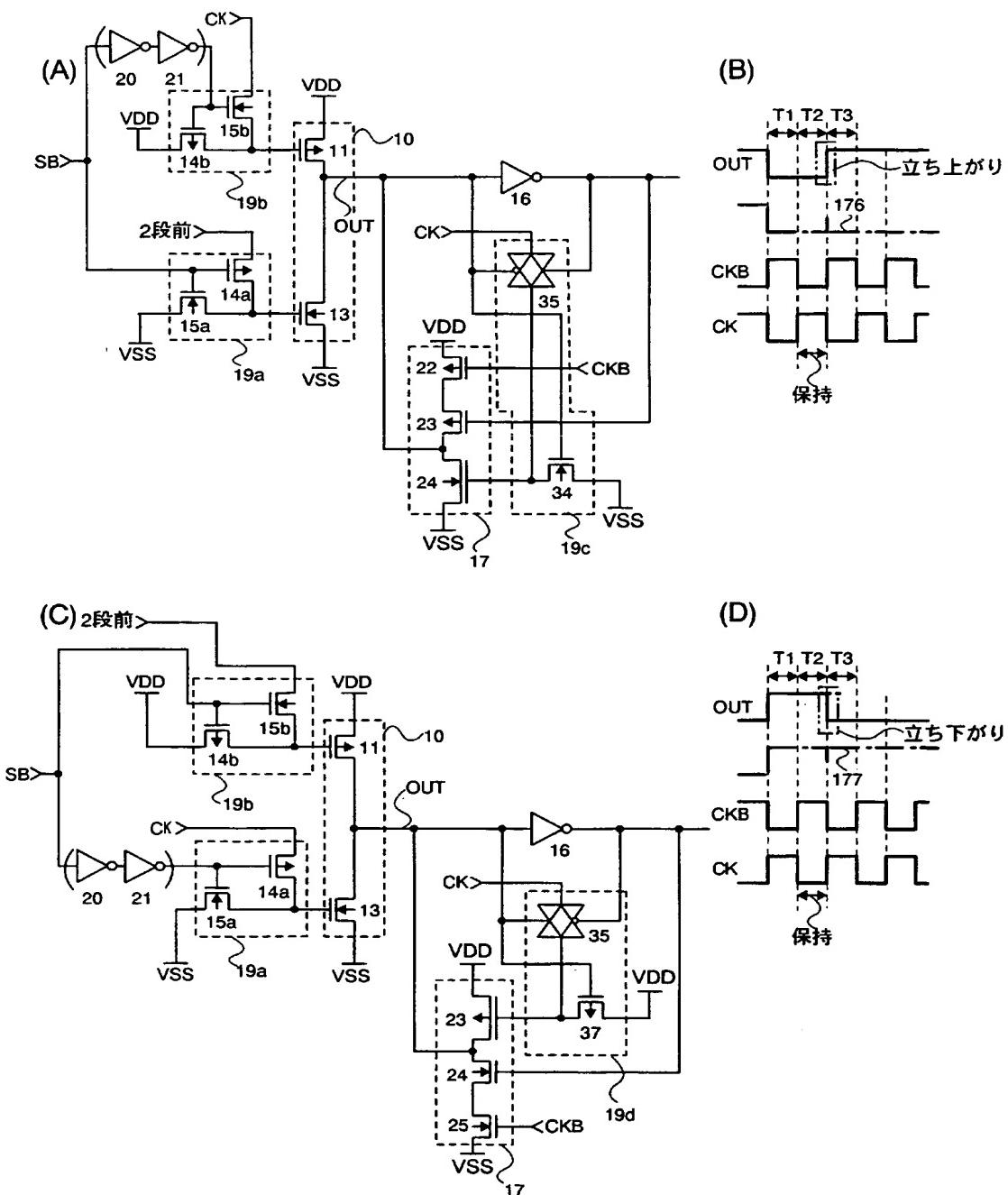
(D)



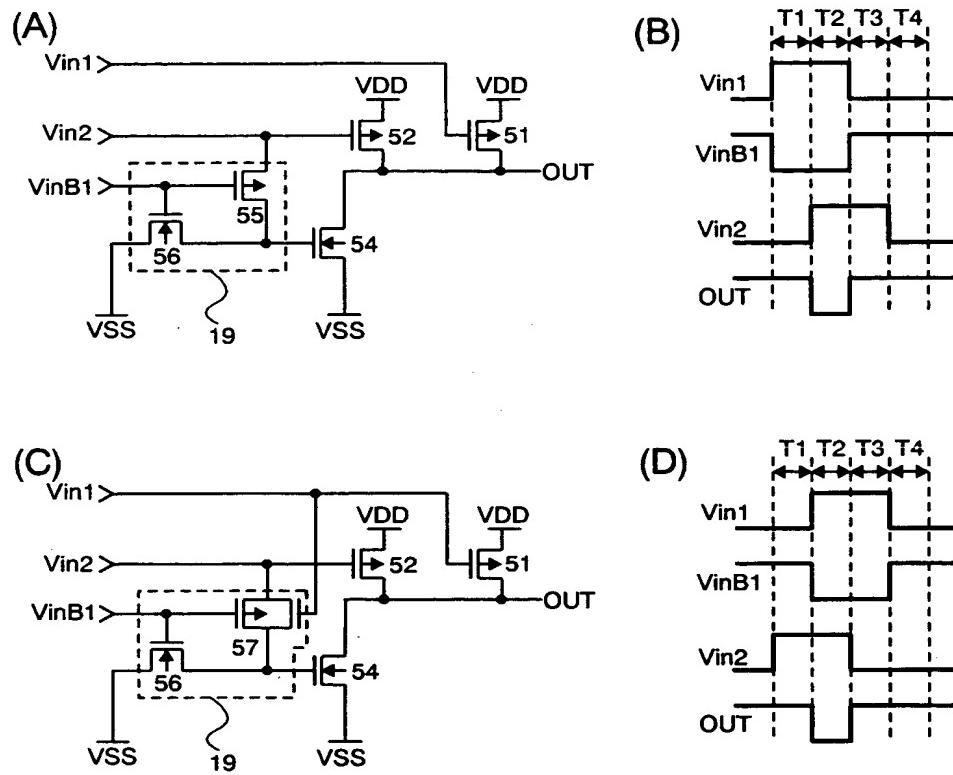
【図 2】



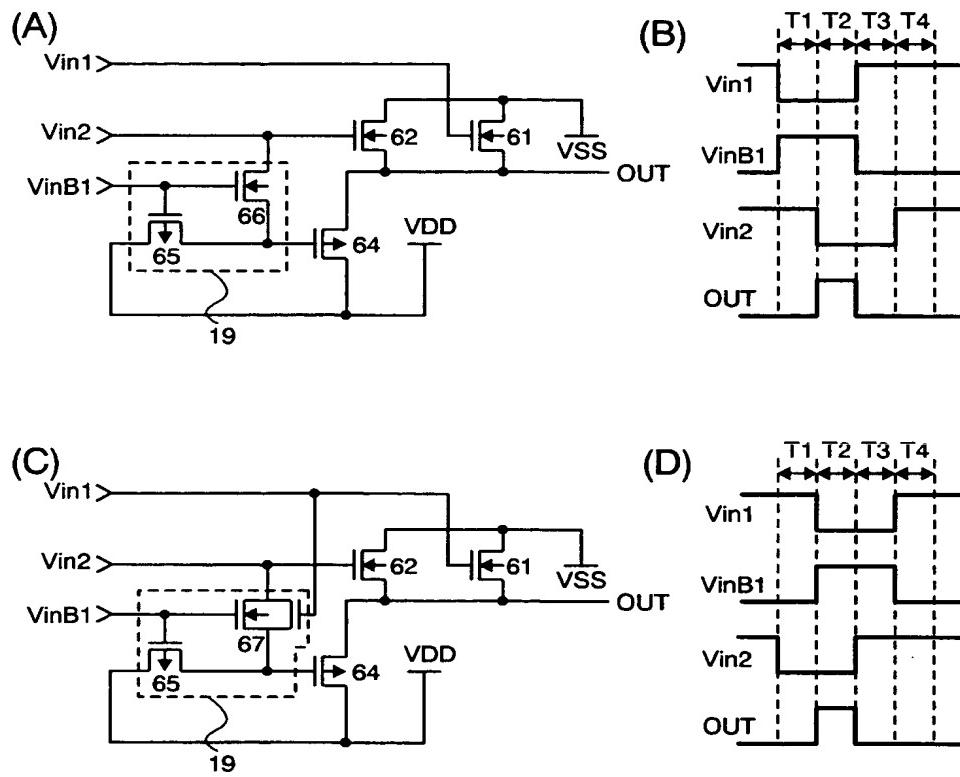
【図3】



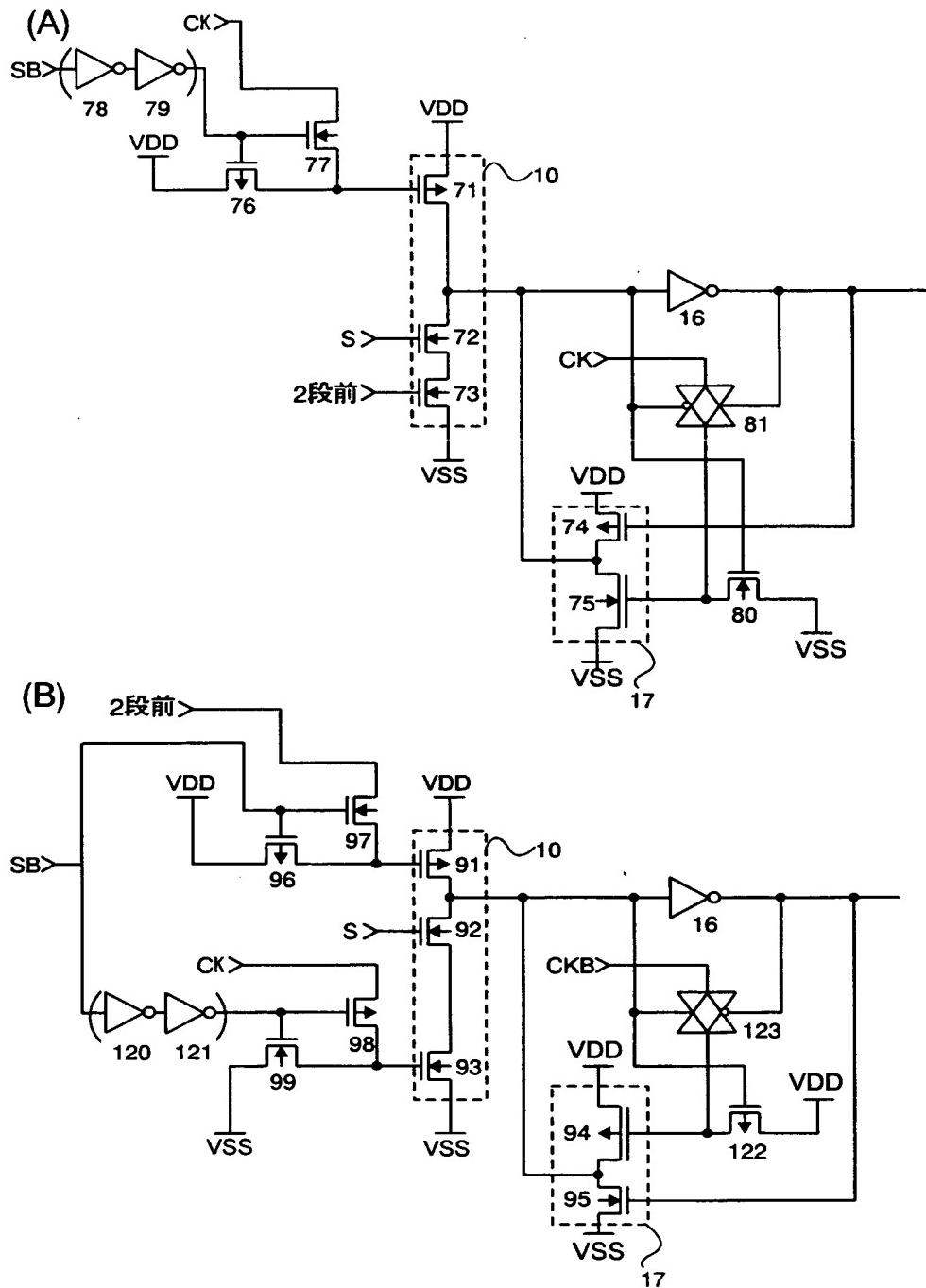
【図 4】



【図 5】

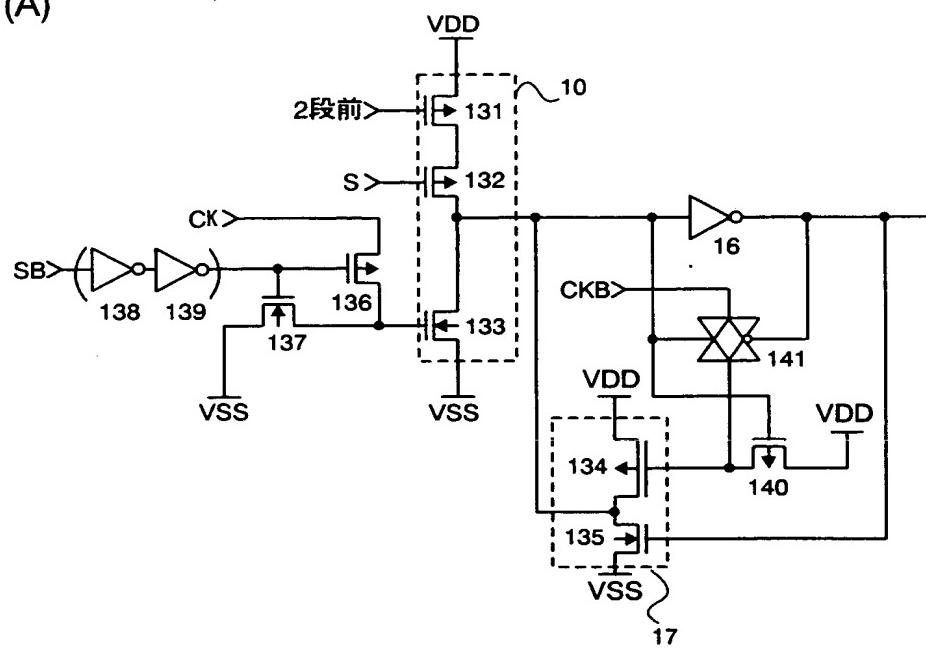


【図 6】

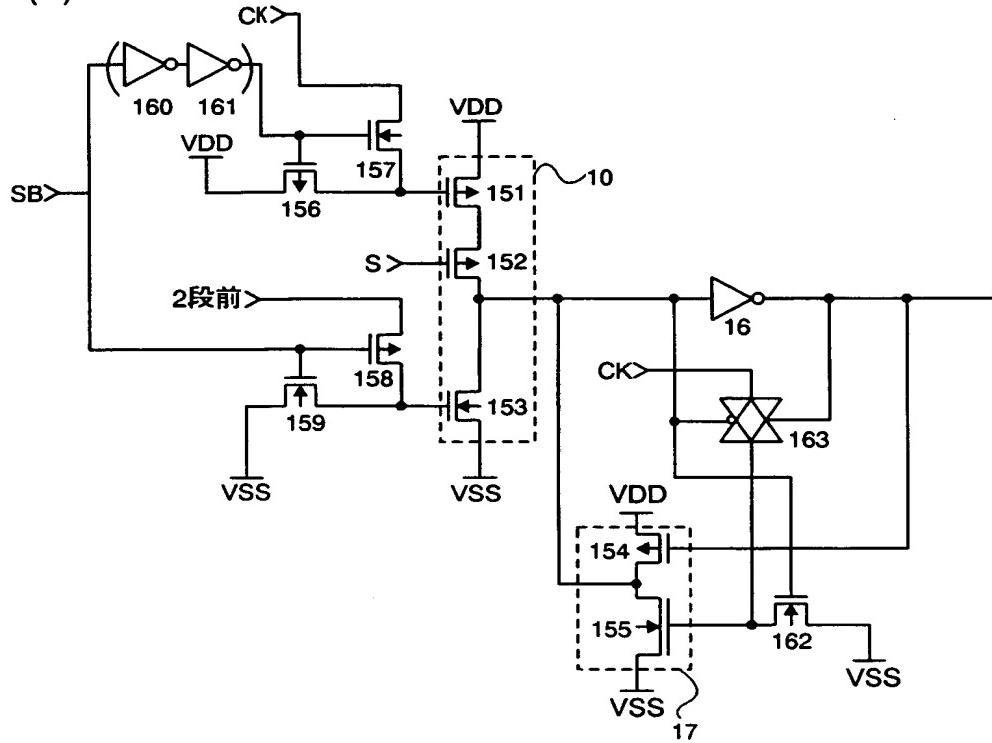


【図 7】

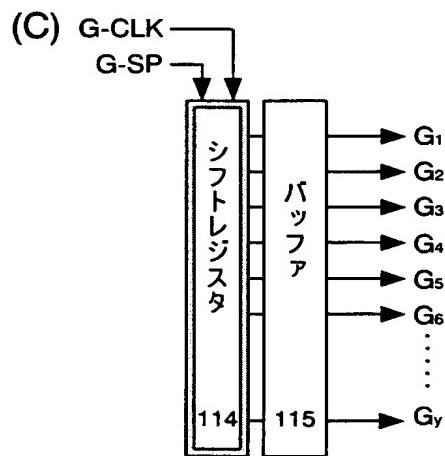
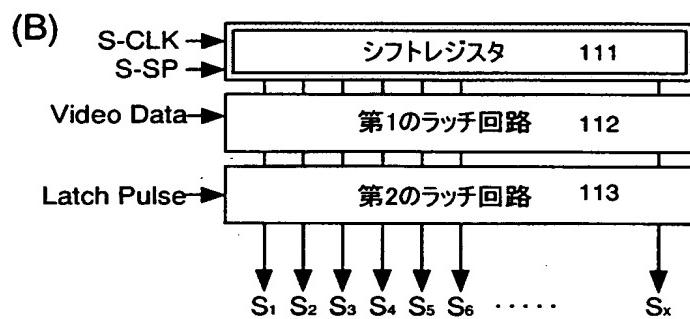
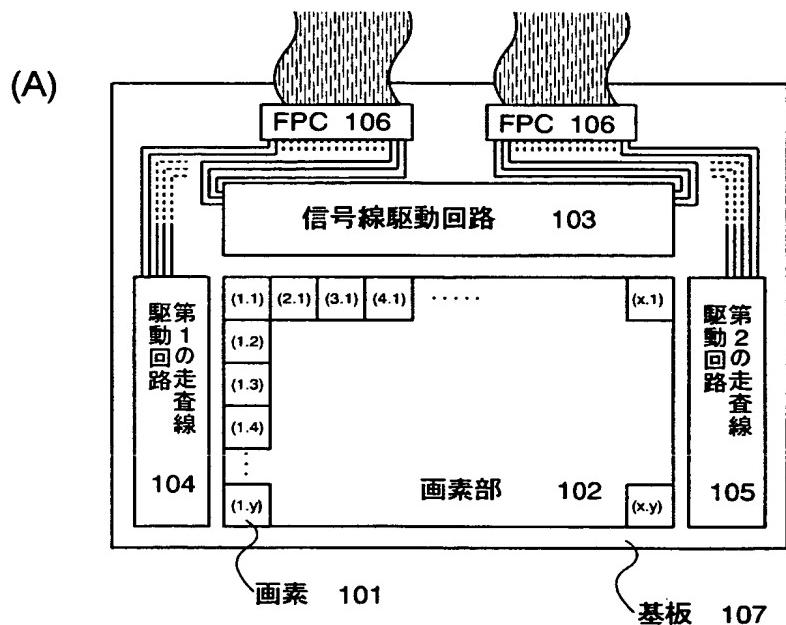
(A)



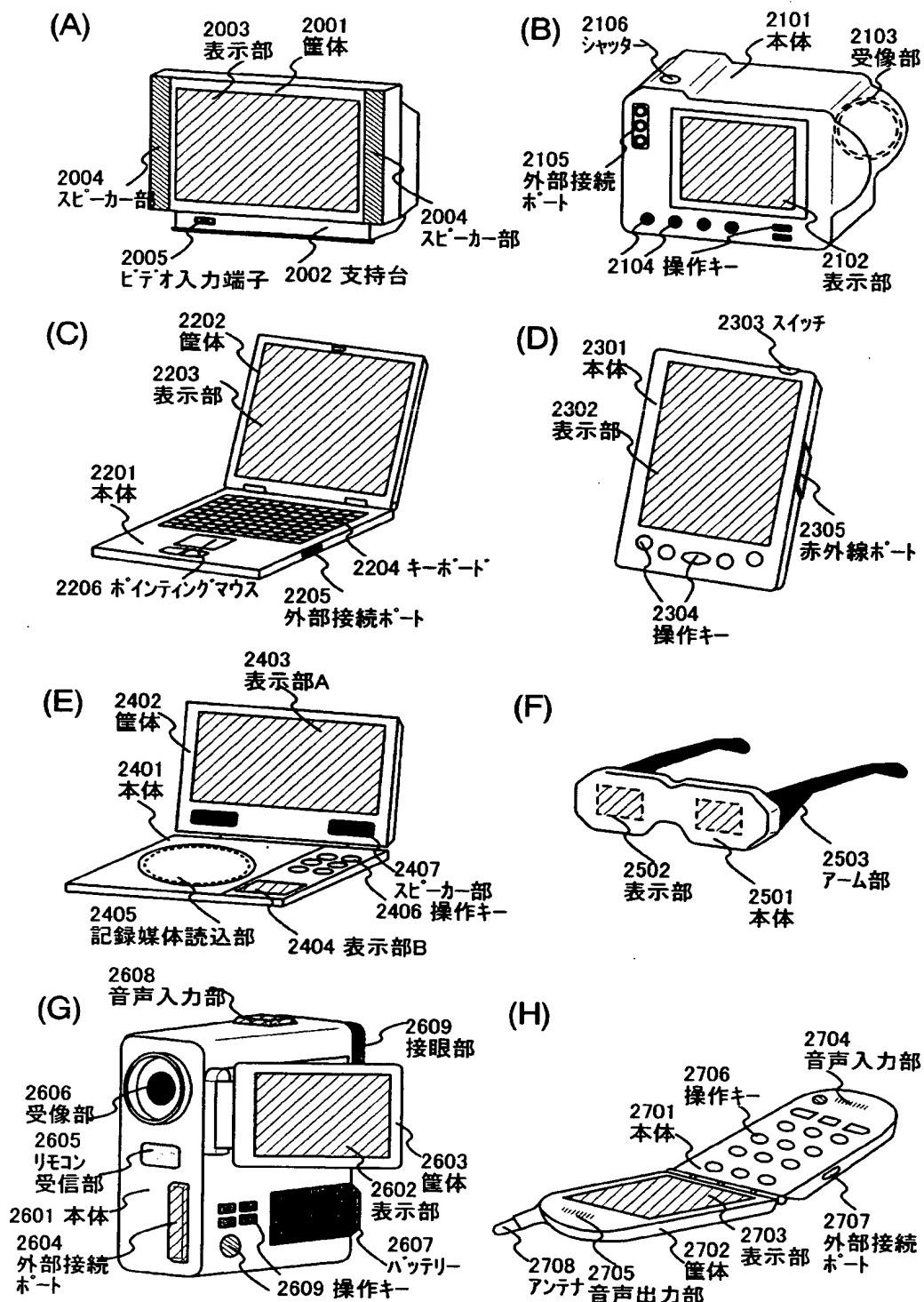
(B)



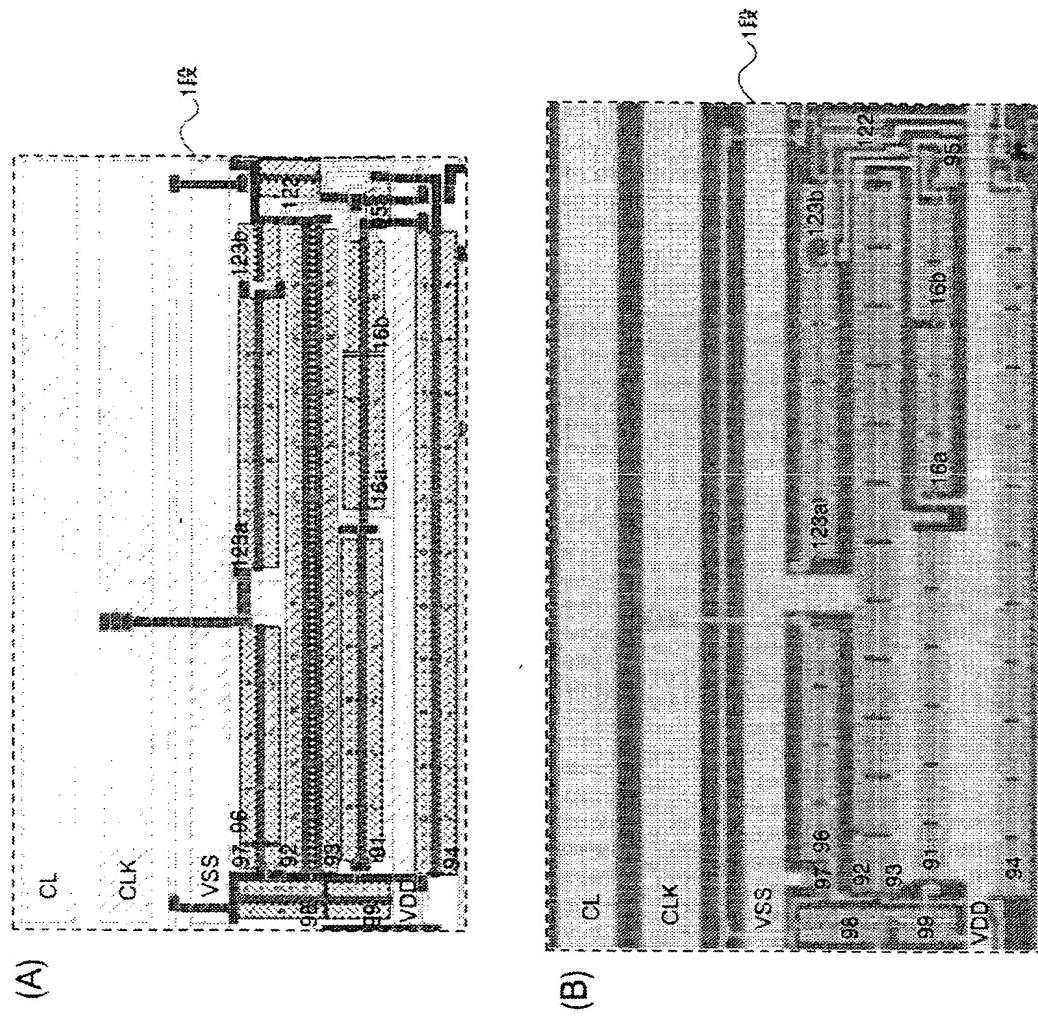
【図 8】



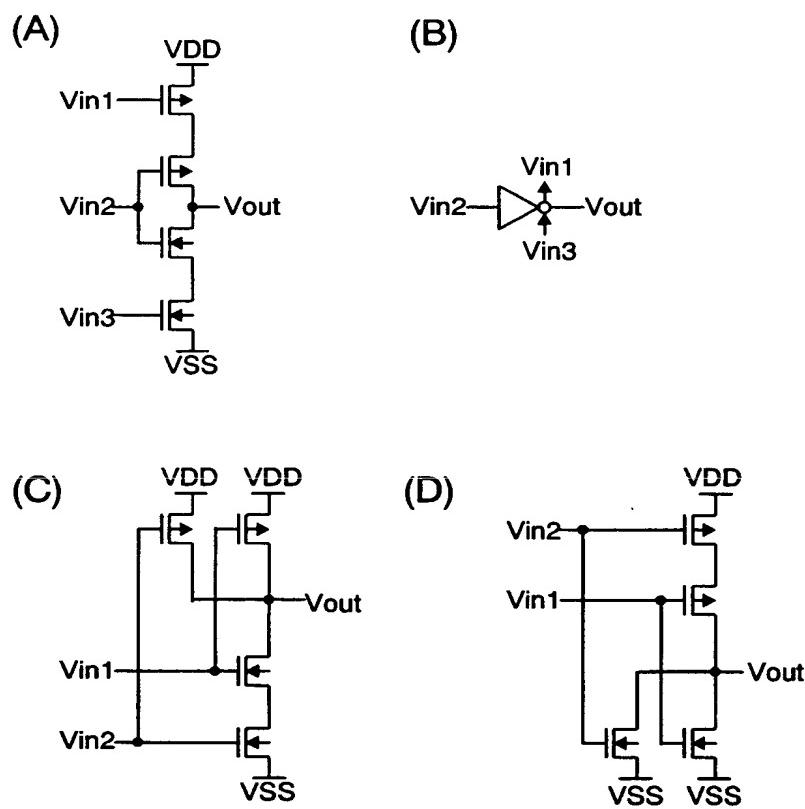
【図9】



【図10】



【図11】



【書類名】 要約書

【要約】

【課題】 テランジスタは、作製工程や使用する基板の相違によって生じるゲート長及びゲート幅並びにゲート絶縁膜の膜厚バラツキなどに起因して、そのしきい値電圧にバラツキが生じる。

【解決手段】 本発明は、直列に接続された第1及び第2トランジスタを有する電気回路において、直列に接続された第3及び第4トランジスタを有する補償回路を具備し、前記第3トランジスタのゲート及び前記第4トランジスタのゲートは互いに接続され、前記第3トランジスタのドレイン及び前記第4トランジスタのドレインは前記第1トランジスタのゲートに接続され、前記第1及び前記第4トランジスタのソースは電気的に第1の電源に接続され、前記第2トランジスタのソースは電気的に第2の電源に接続され、前記第3トランジスタのソースに入力される信号の振幅は電源電圧の幅よりも小さい電気回路を提供する。

【選択図】 図6

特願2002-316363

出願人履歴情報

識別番号 [000153878]
1. 変更年月日 1990年 8月17日
[変更理由] 新規登録
住 所 神奈川県厚木市長谷398番地
氏 名 株式会社半導体エネルギー研究所